

(1)

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
11 DE 4013317 A1

51 Int. Cl. 5:
H 04 L 5/22
H 04 L 25/38

21 Aktenzeichen: P 40 13 317.6
22 Anmeldetag: 26. 4. 90
43 Offenlegungstag: 23. 8. 90

DE 4013317 A1

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

71 Anmelder:
ANT Nachrichtentechnik GmbH, 7150 Backnang, DE

72 Erfinder:
Ehrlich, Wolfgang, Dipl.-Ing., 7151 Allmersbach, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Stopfverfahren zur Reduktion des Wartezeitjitters und Anordnung zur Durchführung des Verfahrens

Soll ein asynchrones Digitalsignal in ein anderes Digitalsignal eingefügt werden, so stellt sich grundsätzlich das Problem der Frequenzanpassung. Dieses Problem wird durch Stopfen gelöst. Ein weiteres Problem der üblichen Stopfverfahren ist, daß das durch Entstopfen zurückgewonnene Digitalsignal mit einem niederfrequenten Jitter, dem Wartezeitjitter, behaftet ist. Dieser Wartezeitjitter soll reduziert werden.

Beim erfindungsgemäßen Stopfverfahren finden in jedem Stopfrahmen des Ausgangsdigitalsignals (B) folgende Verfahrensschritte statt: Der mittlere Füllstand des elastischen Speichers (ES) wird möglichst genau ermittelt. Eine Differenz zwischen dem IST-Wert und dem SOLL-Wert des mittleren Füllstandes, der Füllstandsfehler (ff), wird ermittelt. Der Füllstandsfehler wird aufsummiert und bildet die Fehlersumme (fs). Die Entscheidung, wie gestopft werden soll, erfolgt unter dem Gesichtspunkt, die Fehlersumme möglichst konstant zu halten. Dazu wird ein Schätzwert für die Fehlersumme im nächsten Stopfrahmen des zweiten Digitalsignals (B) unter der Annahme, daß nicht gestopft wird, gebildet. Dieser Schätzwert ($fs + 2ff$) wird mit Schwellen verglichen und daraus ein Wert, der angibt, ob und wie gestopft werden soll, ermittelt.
Multiplexer, Synchronisierer.

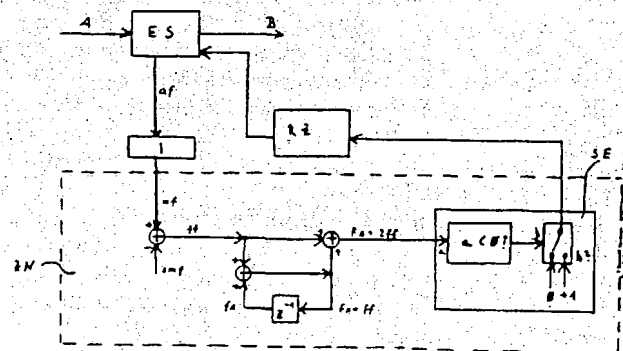


Fig. 1

DE 4013317 A1

Die Erfindung betrifft ein Stopverfahren zur Reduktion von Wartezeitjitter gemäß dem Oberbegriff des Patentanspruches 1 und einer Anordnung zur Durchführung des Verfahrens gemäß dem Oberbegriff des Patentanspruches 6.

Soll ein erstes asynchrones Digitalsignal in ein zweites Digitalsignal eingefügt werden, so stellt sich das grundsätzliche Problem der Frequenzanpassung. Dieses Problem wird durch Stopfen gelöst. Ein Problem der üblichen Stopverfahren ist, daß das durch Entstopfen zurückgewonnene erste Digitalsignal mit einem niederfrequenten Jitter, dem Wartezeitjitter, der nicht mehr entfernt werden kann, behaftet sein kann. Die Größe dieses Jitters ergibt sich aus dem verwendeten Stopverfahren.

Aus Duttweiler D. L., "Waiting Time Jitter", The BELL System Technical Journal, Vol. 51, No. 1, 1972, Seiten 165 bis 207 ist das übliche Verfahren zum Positiv-Stopfen und die Größe des dabei entstehenden Wartezeitjitters bekannt. Der Wartezeitjitter beim Positiv-Null-Negativ-Stopfen wird im Artikel von Kühne F., Lang K., "Positiv-Null-Negativ-Stopftechnik für Multiplexübertragung plesiochroner Datensignale", Frequenz, Band 32, Nr. 10, 1978, Seiten 281 bis 287 behandelt. Das Problem des Wartezeitjitters und wie dieser reduziert werden kann, wird in der Veröffentlichung von Grover W. D., Moore T. E., McEachern J. A. "Waiting Time Jitter Reduction by Synchronizer Stuff Threshold Modulation", GLOBECOM, '87, Seiten 514 bis 518 erläutert. Zur Reduktion des Wartezeitjitters werden zusätzliche Stopfvorgänge im Synchronisierer vorgesehen, wobei diese zusätzlichen Stopfvorgänge in einer solchen Sequenz erfolgen, daß der Effekt eine Frequenzverschiebung des Jitters ist. Zur Anwendung dieses Verfahrens ist es nur notwendig, im Synchronisierer eine neue Steuerung dafür vorzusehen, wann gestopft werden soll. Während bisher immer dann gestopft wurde, wenn konstante Schwellen über- oder unterschritten waren, werden im vorliegenden Fall die Schwellen moduliert.

In CHOI D., "Waiting Time Jitter Reduction", IEEE Transactions on Communications, Vol. 37, No. 11, 1989, Seiten 1231 bis 1236 wird ein Verfahren zur Reduktion des Wartezeitjitters beim Positiv-Null-Negativ-Stopfen beschrieben. Der Autor geht davon aus, daß ein nominales Stopfverfahren von Null, wie es beim Positiv-Negativ-Stopfen der Fall ist, einen großen Wartezeitjitter ergibt. Das vorgestellte Verfahren bildet daher ein Stopfverhältnis ungleich Null nach und erzielt so eine Reduktion des Wartezeitjitters.

Die in diesen Aufsätzen beschriebenen Verfahren zur Reduktion des Wartezeitjitters haben jeweils einen freien Parameter, mit dem der Wartezeitjitter festgelegt wird (z. B. die Periodendauer im Fall der Schwellenmodulation). Es ist jedoch nicht zulässig, diesen Parameter so zu wählen, daß sich ein möglichst kleiner Wartezeitjitter ergibt. Vielmehr ist Rücksicht zu nehmen auf die Grenzfrequenz der PLL-Schaltung des Desynchronisierers. Je größer diese Grenzfrequenz ist, desto mehr Wartezeitjitter muß durch Wahl des freien Parameters zugelassen werden. Wird dies nicht beachtet, so überlagert eine zusätzliche Jitterkomponente den vom Desynchronisierer erzeugten Takt, wobei diese größer als der Wartezeitjitter ist.

Aufgrund des freien Parameters ergibt sich die Notwendigkeit, den Synchronisierer und den Desynchroni-

sierer konstruktiv aufeinander abzustimmen. Ist die Grenzfrequenz der PLL-Schaltung im Desynchronisierer größer als erwartet, so ergibt sich ein erhöhter Jitter des zurückgewonnenen Taktes. Ist die Grenzfrequenz der PLL-Schaltung dagegen kleiner als erwartet, so verringert sich dieser Jitter nur unwesentlich, da dann der Wartezeitjitter dominiert.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren anzugeben, mit dem der Wartezeitjitter reduziert werden kann. Außerdem ist es Aufgabe der Erfindung, eine Anordnung anzugeben, mit der dieses Verfahren durchgeführt werden kann.

Die Aufgabe wird bezüglich des Verfahrens mit den Merkmalen des Patentanspruches 1 und bezüglich der Anordnung mit den Merkmalen des Patentanspruches 6 gelöst. Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

Beim erfindungsgemäßen Stopfverfahren wird ein erstes Digitalsignal derart in ein zweites Digitalsignal eingefügt, daß das erste Digitalsignal beliebig jitterarm zurückgewonnen werden kann. Ein weiterer Vorteil ist, daß für das zweite Digitalsignal standardisierte Rahmen verwendet werden können. Erfindungsgemäß ist zum Einstopfen ein übliches Verfahren und somit ein üblicher Desynchronisierer anwendbar. Die genannten Eigenschaften des Stopfverfahrens werden durch Verformung des Spektrums des Stopfjitters erreicht. Dabei soll der Anteil bei tiefen Frequenzen des Stopfjitters gering sein, da diese Anteile durch die in den Desynchronisierern enthaltenen PLL-Anordnungen nicht herausgefiltert werden können.

Um mit dem erfindungsgemäßen Stopfverfahren zu erreichen, daß das erste Digitalsignal beliebig jitterarm zurückgewonnen werden kann, ist es notwendig, beim Stopfen den Füllstand des elastischen Speichers möglichst genau ermitteln zu können.

Eine Möglichkeit, den Füllstand möglichst genau zu ermitteln, ist in einem der Ausführungsbeispiele angegeben.

Das erfindungsgemäße Stopfverfahren zeichnet sich durch folgende Merkmale aus: In jedem Stopfrahmen des zweiten Digitalsignals werden folgende Verfahrensschritte durchgeführt:

Der mittlere Füllstand des elastischen Speichers wird möglichst genau ermittelt. Eine Differenz zwischen dem IST-Wert und dem SOLL-Wert des mittleren Füllstandes des elastischen Speichers wird ermittelt. Diese Differenz gibt den Füllstandsfehler an. Der Füllstandsfehler wird aufsummiert, es wird also eine Fehlersumme gebildet. Die Entscheidung, wie und ob gestopft werden soll, erfolgt unter dem Gesichtspunkt, die Fehlersumme möglichst konstant zu halten.

Im folgenden wird begründet, warum es wichtig ist, die Fehlersumme möglichst konstant zu halten. Bei der Zurückgewinnung des ursprünglichen Digitalsignals liegt der zugehörige Takt in einer stark verjitterten Form vor. Es ist üblich, die hochfrequenten Anteile dieses Jitters, beispielsweise mit einer PLL-Schaltung, für die Stopfrahmen des zweiten Digitalsignals beim Desynchronisierer herauszufiltern. Die Übertragungsfunktion des Filters kann näherungsweise mit der eines Integrators verglichen werden, wobei der Integrator das Integral des Füllstandsfehler bildet. Da die Fehlersumme ebenfalls als Näherung für das Integral des Füllstandsfehlers aufzufassen ist, existiert näherungsweise ein proportionaler Zusammenhang zwischen dem Zeitverlauf der Fehlersumme und dem Zeitverlauf des Jitters des gefilterten Taktes des zurückgewonnenen ursprüngli-

chen Digitalsignals.

In die Proportionalitätskonstante geht die Grenzfrequenz des Filters und die reziproke Stoprahmenfrequenz des zweiten Digitalsignals B ein. Eine möglichst konstante Fehlersumme bedingt also eine zeitlich unveränderte Phase, eine Verringerung der Grenzfrequenz des Filters führt zu einer Verringerung des Jitters.

Anhand der Zeichnungen werden Ausführungsbeispiele der Erfindung erläutert. Es zeigen:

Fig. 1 einen Synchronisierer zum Positiv-Stopfen und

Fig. 2 einen Synchronisierer zum Positiv-Null-Negativ-Stopfen.

Fig. 1 zeigt eine Schaltung, die beim Positiv-Stopfen Stopfentscheidungen so trifft, daß die Fehlersumme möglichst konstant bleibt. Ein erstes Digitalsignal A mit einer ersten Bitrate, die einem ersten Takt t_A entspricht, wird dem Synchronisierer zugeführt. Das Ausgangssignal des Synchronisierers ist ein zweites Digitalsignal B mit einer zweiten Bitrate, die einem zweiten Takt t_B entspricht. Dieses zweite Digitalsignal B wird zu einem Desynchronisierer übertragen (in der Figur nicht dargestellt), in dem wiederum das erste Digitalsignal A mit der ersten Bitrate regeneriert wird. Die Bitraten der Digitalsignale A und B sind so gewählt, daß eine Übertragung des ersten Digitalsignals A im zweiten Digitalsignal B mittels Impulsstopftechnik ermöglicht wird. Der Synchronisierer weist einen elastischen Speicher ES auf, dem das erste Digitalsignal A zugeführt wird. Es wird mit dem Takt t_A eingeschrieben. Aus dem elastischen Speicher ES wird das zweite Digitalsignal B mit dem zweiten Takt t_B ausgelesen. Ein Rahmenzähler RZ ist vorgesehen, der den Rahmen des zweiten Digitalsignals erzeugt und die Leseaktivierung des elastischen Speichers ES steuert. Der elastische Speicher ES gibt mit dem aktuellen Füllstand af an, wieviel Bits sich momentan im Speicher befinden. Beim Schreiben eines Bits in den elastischen Speicher ES erhöht sich der aktuelle Füllstand af um 1 bit, beim Lesen eines Bits verringert sich der aktuelle Füllstand af um 1 bit. Der Integrator I bildet aus dem aktuellen Füllstand af den mittleren Füllstand mf . Der mittlere Füllstand mf ist das Integral des aktuellen Füllstand af über ein vorgegebenes Zeitfenster. Für jeden Rahmen des Digitalsignals B liefert der Integrator I einen neuen Wert für den mittleren Füllstand mf . Der mittlere Füllstand des elastischen Speichers ES wird einem zeitdiskreten Netzwerk ZN , das mit der Stoprahmenfrequenz des zweiten Digitalsignals B getaktet ist, zugeführt. In diesem zeitdiskreten Netzwerk ZN wird zunächst der mittlere Füllstand mf mit dem SOLL-Wert des mittleren Füllstands smf verglichen. Der Füllstandsfehler ff wird also ermittelt. Die Summe der Füllstandsfehler ff aller bisherigen Stoprahmen, die bisherige Fehlersumme fs liegt vor. Im zeitdiskreten Netzwerk ZN wird aus dem Füllstandsfehler ff und der bisherigen Fehlersumme fs die Fehlersumme des momentanen Stoprahmens des Digitalsignals B gebildet, $ff + fs$. Aus dieser Fehlersumme des momentanen Stoprahmens des Digitalsignals B und dem Füllstandsfehler des momentanen Stoprahmens des Digitalsignals B wird ein Schätzwert für die Fehlersumme im nächsten Stoprahmen des Digitalsignals B gebildet, $fs + 2ff$. Der Schätzwert für die nächste Fehlersumme $fs + 2ff$ wird einer Schaltung zur Stopfentscheidung SE zugeführt. In dieser Schaltung SE wird entschieden, ob gestopft wird. Liegt der Schätzwert für die Fehlersumme im nächsten Rahmen oberhalb einer Schwelle, so wird nicht gestopft. Liegt er jedoch unterhalb dieser Schwelle, so wird positiv gestopft. Die Information, ob

gestopft wird, wird von der Schaltung zur Stopfentscheidung SE zum Rahmenzähler RZ geleitet.

In Fig. 2 ist ein Synchronisierer zum Positiv-Null-Negativ-Stopfen dargestellt. Er unterscheidet sich vom Synchronisierer zum Positiv-Stopfen durch den Aufbau der Schaltung zur Stopfentscheidung SE . In dieser Schaltung wird beim Positiv-Null-Negativ-Stopfen die Stopfentscheidung ebenfalls so getroffen, daß die Fehlersumme möglichst konstant bleibt. Die Entscheidung erfolgt mit Hilfe eines Schwellenpaares, dessen Schwellen einen Abstand von 1 bit haben. Wenn der Schätzwert für die Fehlersumme im nächsten Stoprahmen des Digitalsignals B innerhalb eines Schwellenpaares liegt, so wird nicht gestopft. Liegt der Wert jedoch außerhalb des Schwellenpaares, so wird entweder positiv oder negativ gestopft in Abhängigkeit von der Abweichung des Schätzwertes vom Schwellenpaar.

Zur Bildung des Schätzwertes für die Fehlersumme des nächsten Stoprahmens des Digitalsignals B wird jeweils von einem Stopfverhältnis von 0 ausgegangen.

Patentansprüche

1. Stopfverfahren zur Reduktion des Wartezeitjitters mit den folgenden Merkmalen:

- a) Ein erstes Digitalsignal (A) mit einer ersten Bitrate wird einem Synchronisierer zugeführt und im Synchronisierer mit einem ersten Takt (t_A), der der Bitrate des ersten Digitalsignals (A) entspricht, in einen elastischen Speicher (ES) eingeschrieben.
- b) Aus dem elastischen Speicher (ES) wird ein zweites Digitalsignal (B) mit einem zweiten Takt (t_B), der der Bitrate des zweiten Digitalsignals (B) entspricht, ausgelesen.
- c) In einem Rahmenzähler (RZ) wird der Rahmen des zweiten Digitalsignals (B) erzeugt, die Leseaktivierung des elastischen Speichers (ES) gesteuert und das Stopfen in Abhängigkeit von einem zugeleiteten Wert ausgeführt.
- d) Der mittlere Füllstand des elastischen Speichers (ES) wird einmal pro Stoprahmen des zweiten Digitalsignals (B) ermittelt.
- e) Eine Differenz zwischen dem mittleren Füllstand und dem SOLL-Wert für den mittleren Füllstand wird für jeden Stoprahmen des Digitalsignals (B) gebildet.
- f) Aus den Differenzen des momentanen Stoprahmens und aller bisherigen Stoprahmen wird eine Summe ermittelt und es wird ein Wert, der angibt, ob und wie gestopft wird, derart ermittelt, daß diese Summe möglichst konstant bleibt.
- g) Der ermittelte Wert wird dem Rahmenzähler (RZ) zugeleitet.

Die Merkmale a), b) und c) bilden den Oberbegriff.

2. Stopfverfahren zur Reduktion des Wartezeitjitters gemäß Anspruch 1, dadurch gekennzeichnet, daß der mittlere Füllstand einem zeitdiskreten Netz (ZN) zugeleitet wird, das mit der Stoprahmenfrequenz des zweiten Digitalsignals (B) getaktet wird und in dem der Füllstandsfehler, also die Differenz zwischen dem mittleren Füllstand und dem SOLL-Wert für den mittleren Füllstand, ermittelt wird und eine Fehlersumme des momentanen Stoprahmens durch Summation des Füllstandsfehlers des momentanen Stoprahmens und der Summe der Füllstandsfehler aller bisherigen Stoprah-

men gebildet wird, aus der dann ein Schätzwert für die Fehlersumme im nächsten Stoprahmen des Digitalsignals (*B*) unter der Annahme, daß nicht gestopft wird, gebildet wird.

3. Stopfverfahren nach Anspruch 2, dadurch gekennzeichnet, daß der Schätzwert für die Fehlersumme im nächsten Stoprahmen des Digitalsignals (*B*) einer Schaltung zur Stopfentscheidung (*SE*) zugeführt wird, in der festgelegt wird, ob und wie gestopft wird.

4. Stopfverfahren gemäß einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß beim Positiv-Stopfen der Schätzwert mit einer Schwelle verglichen wird und immer dann gestopft wird, wenn der Schätzwert unterhalb der Schwelle liegt und dann nicht gestopft wird, wenn der Schätzwert oberhalb der Schwelle liegt.

5. Stopfverfahren nach einem der Ansprüche 3 oder 4, dadurch gekennzeichnet, daß beim Positiv-Null-Negativ-Stopfen der Schätzwert für die Fehlersumme im nächsten Stoprahmen des zweiten Digitalsignals (*B*) mit einem Schwellenpaar verglichen wird, und daß gestopft wird, wenn der Schätzwert außerhalb des Schwellenpaares liegt, und daß nicht gestopft wird, wenn er innerhalb des Schwellenpaares liegt.

6. Anordnung zur Durchführung des Verfahrens mit den folgenden Merkmalen:

a) Ein elastischer Speicher (*ES*) ist vorgesehen, in den ein erstes Digitalsignal (*A*) mit einem ersten Takt (t_A), der der Bitrate des ersten Digitalsignals (*A*) entspricht, geschrieben wird, und aus dem ein zweites Digitalsignal (*B*) mit einem zweiten Takt (t_B) der Bitrate des zweiten Digitalsignals (*B*) entspricht, ausgelesen wird.

b) Ein Rahmenzähler (*RZ*) ist vorgesehen, der den Rahmen des zweiten Digitalsignals (*B*) erzeugt, die Leseaktivierung des elastischen Speichers (*ES*) steuert und in Abhängigkeit von einem zugeleiteten Wert das Stopfen ausführt.

c) Eine Schaltung zur Ermittlung des mittleren Füllstandes (*I*) des elastischen Speichers (*ES*), die den mittleren Füllstand mindestens einmal pro Stoprahmen des zweiten Digitalsignals (*B*) ermittelt, ist vorgesehen.

d) Ein zeitdiskretes Netzwerk (*ZN*), das mit der Stoprahmenfrequenz des zweiten Digitalsignals (*B*) getaktet wird und dem der mittleren Füllstand zugeführt wird, ist vorgesehen.

e) Das zeitdiskrete Netzwerk (*ZN*) ermittelt einen Wert, der angibt, ob und wie gestopft wird, derart, daß die Summe aus den Differenzen zwischen dem mittleren Füllstand und einem Sollwert für den mittleren Füllstand über alle Stoprahmen des zweiten Digitalsignals (*B*) — eine solche Differenz wird für jeden Stoprahmen des Digitalsignals (*B*) gebildet — möglichst konstant bleibt.

f) Der so ermittelte Wert wird dem Rahmenzähler (*RZ*) zugeführt.

Die Merkmale a) und b) bilden den Oberbegriff.



